

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085045

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 21/68
B23Q 3/15

(21)Application number : 04-231664

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 31.08.1992

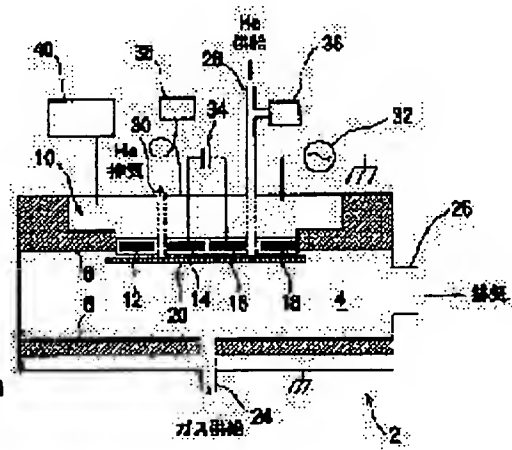
(72)Inventor : MIHARA SATOSHI
KOMADA DAISUKE
HASEGAWA AKIHIRO

(54) SEPARATION OF WAFER

(57)Abstract:

PURPOSE: To promptly separate a wafer from an electrode without damaging the wafer by applying the electrode with a positive voltage at wafer adsorption, then with a negative voltage, and then with a positive voltage, for canceling remaining electric charge.

CONSTITUTION: Electrodes A16 and 18 of an electrostatic chuck are applied with a positive voltage of +1kV, and electrodes B12 and 14 with a negative voltage of -1kV, so that all of them electrostatically adsorb a silicon wafer 20. The electrostatic chuck having adsorbed the wafer 20 is applied with an RF bias voltage, so that plasma is generated on the surface of the wafer 20, for plasma process. Then, the voltage of electrodes A16 and 18 and electrodes B12 and 14 of the electrostatic chuck is changed to 0V, and then the electrodes A16 and 18 are applied with a negative voltage of -1,5kV. Further, in a few seconds, the electrodes B12 and 14 are applied with a positive voltage of +1,5kV. By this, the wafer 20 is separated from the electrodes without damaging the wafer 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the wafer secession method of making the wafer by which electrostatic adsorption was carried out seceding from an electrostatic adsorber to the electrostatic adsorber of semiconductor fabrication machines and equipment.

[0002]

[Description of the Prior Art] The wafer adsorption method of having used the electrostatic adsorption power is used for wafer processing in a semiconductor manufacturing process in recent years. For example, when performing plasma treatment, such as RIE, to a wafer front face, 2 pole type static adsorber which is one of the equipment to which a wafer is made to stick using an electrostatic adsorption power is used.

[0003] 2 pole type static adsorber impresses for example, right voltage to the electrode group A of an electrostatic chuck which has the electrode group A which usually consists of two or more electrodes, and the electrode group B, impresses negative voltage to the electrode group B of another side, and makes the electrode groups A and B (electrostatic chuck) carry out electrostatic adsorption of the wafer. However, since residual charge exists in a wafer the voltage which a charge will be accumulated during plasma treatment at a wafer, shuts off a power supply after plasma treatment, and is impressed to the electrode groups A and B as for 0 if a wafer is made to stick to this 2 pole type static adsorber and plasma treatment is performed, it has the problem of the ability not to make it secede from a wafer promptly from 2 pole type static adsorber.

[0004] Since 2 pole type static adsorber has the advantage of it not being necessary to connect an electrode special to a wafer etc., it has become in use [the electrostatic adsorber used for the semiconductor fabrication machines and equipment which perform plasma treatment], and the various proposals for making a wafer secede from the former promptly have accomplished it. There are the following things from the former as a method of making it seceding from the wafer which stuck to this 2 pole type static adsorber.

(1) The wafer secession method of preparing an ejection pin (cylindrical projection) in an electrostatic adsorber, making an adsorption side projecting this ejection pin, pushing a wafer side in the case of wafer secession, and making it seceding from a wafer mechanically (JP,02-159744,A).

(2) The wafer secession method from which a high pressure gas is made to blow off to the wafer side of the adsorption side of an electrostatic adsorber, pressurize a wafer, and it is made to secede compulsorily (JP,02-245256,A).

(3) The wafer secession method of making the voltage which made the time of adsorption, and positive/negative reverse impressing to the electrode groups A and B of an electrostatic adsorber, extinguishing the residual charge on a wafer, and making it seceding from a wafer (JP,59-067629,A).

(4) Police box voltage was impressed to the electrostatic chuck, residual charge was decreased, and the wafer secession method (JP,01-112745,A) of seceding from a wafer etc. was used.

[0005]

[Problem(s) to be Solved by the Invention] However, making it break away promptly, ** it does not damage a wafer, even if it uses which [above-mentioned / conventional] wafer secession method has produced the problem of being difficult. By the method of producing breakage to a wafer, making a high pressure gas blowing off to the wafer side of (2), and making it seceding from it compulsorily by the method of making it seceding from the wafer using the ejection pin of the above (1) mechanically, breakage might arise, and the residual-adsorption force was too strong to the wafer, and a wafer might not separate in gas pressure.

[0006] Moreover, by the method of impressing the time of wafer adsorption of (3) and (4), and reverse voltage,

negating residual charge, and making it seceding from a wafer, and the method of impressing police box voltage to an electrostatic chuck, and decreasing residual charge, it will take time, without the ability making it secede from a wafer promptly. For example, after plasma irradiation, even if it makes reverse voltage which was being impressed to the electrostatic chuck and impresses reverse voltage, time to be about [from which a wafer secedes] thing 5-10 minute will take. Furthermore by these methods, the problem that the reverse voltage which the expected effect does not arise at all, and may be unable to perform wafer secession well, and is impressed will be too strong, and an adsorption power will increase rather had arisen.

[0007] The purpose of this invention is to offer the wafer secession method that it can be made to secede from semiconductor fabrication machines and equipment promptly, without damaging a wafer.

[0008]

[Means for Solving the Problem] In the wafer secession method that the above-mentioned purpose secedes from the wafer by which electrostatic adsorption was carried out to the above 1st and the 2nd electrode by having impressed right voltage to the 1st electrode and having impressed negative voltage to the 2nd electrode After impressing negative voltage to the 1st electrode of the above, right voltage is impressed to the 2nd electrode of the above, and it is attained by the wafer secession method characterized by making the aforementioned wafer secede from the above 1st and the 2nd electrode.

[0009]

[Function] Since according to this invention the wafer which performed plasma treatment was charged in negative, right voltage is impressed to the electrode which impressed negative voltage to the electrode which was impressing right voltage at the time of wafer adsorption, and it is made to make a wafer and inter-electrode commit repulsive force, and was impressing negative voltage further after that at the time of wafer adsorption and residual charge was negated, a wafer can secede from an electrostatic adsorber promptly.

[0010]

[Example] The wafer secession method by the 1st example of this invention is explained using drawing 1 or drawing 4 . First, the semiconductor fabrication machines and equipment used for this example are explained using drawing 1 . The semiconductor fabrication machines and equipment used for this example are RIE systems which are one of the plasma treatment equipment.

[0011] The electrostatic chucks 16 and 18 of the electrode group A to which voltage with the same semiconductor fabrication machines and equipment 2 is impressed, and the electrode group A are equipment which is equipped with 2 pole type static adsorber which carries out electrostatic adsorption of the wafer 20 by the electrostatic chucks 12 and 14 of the electrode group B to which another voltage is impressed, and performs plasma treatment to a wafer. The wafer adsorption maintenance side of the electrostatic chucks 12-18 is turned in the processing room 4. The gas supply mouth 24 which supplies Ar gas for generating Ar plasma is formed in the processing room 4. It connects with DC power supply 34, and positive or negative voltage is impressed by changing the polarity of DC power supply 34, or the electrode groups A and B of the electrostatic chucks 12-18 have come to be able to do 0 volt and a bird clapper. A wafer 20 can be made to adsorb by impressing predetermined voltage to the electrostatic chucks 12-18 from DC power supply 34 now.

[0012] The 12 to electrostatic chuck 18 upper part is the RF electrode 10. In order to carry out plasma treatment of the wafer 20 front face by which adsorption maintenance was carried out to the electrostatic chucks 12-18, after exhausting the inside of the processing room 4 by the exhaust port 26, Ar is introduced in the processing room 4, 13.56MHz RF power is impressed to the RF electrode 10 from the RF power supply 32, in the processing room 4, Ar plasma is generated and predetermined wafer processing is performed. This RF electrode 10 can be cooled and a temperature control is performed by the thermostat 40. The RF electrode 10 and the processing room 4 are insulated with insulators 6 and 8. The resistivity of insulators 6 and 8 should just be 109 - 1014 ohm-cm.

[0013] Moreover, between a wafer 20 and the electrostatic chucks 12-18, the helium exhaust port 30 for exhausting helium gas which the helium feed hopper 28 of helium gas used as coolant gas for cooling a wafer 20 was formed, and was introduced into cooling is formed. A pressure gage 36 is attached in the helium feed hopper 28, and the pressure between a wafer 20 and the electrostatic chuck 12-18 can be measured now to it. Moreover, the fluorescence optical fiber thermometer 38 can be attached in the RF electrode 10, and the temperature of a wafer 20 can be measured now.

[0014] Using the semiconductor fabrication machines and equipment 2 explained above, the silicon wafer 20 was made to stick to the electrostatic adsorber 2, and it exposed to plasma. Between a wafer 20 and the

electrostatic chucks (electrode) 12-18, helium was introduced as coolant gas and cooling with an electrode is improved. In order to know the reduction degree and wafer secession state of residual charge at the time of wafer 20 secession, the pressure of wafer 20 rear face is measured with a pressure gage 36. The wafer 20 rear-face pressure is held at the constant pressure of about 10 Torr at the time of plasma irradiation. If a wafer 20 rear-face pressure becomes low and a wafer 20 secedes from an electrostatic chuck as residual charge becomes weak in case the wafer 20 after plasma treatment is made to secede from the electrostatic chucks 12-18, a pressure will become low further. It is for the adsorption power between a wafer 20 and the electrostatic chuck 12-18 to decrease, and for the wafer 20 to separate from the electrostatic chucks 12-18 little by little. If a wafer 20 secedes from the electrostatic chucks 12-18 completely, a wafer 20 rear-face pressure will become equal to processing room 4 internal pressure.

[0015] By the above methods, according to the timing diagram of voltage as shown in drawing 2, voltage was impressed to the electrode group A of the electrostatic chucks 16 and 18, and the electrode group B of the electrostatic chucks 12 and 14, and it seceded from the wafer 20. That is, the right voltage of A+1kV of electrode groups of the electrostatic chucks 16 and 18 is impressed, the negative voltage of B-1kV of electrode groups of the electrostatic chucks 12 and 14 is impressed, and the electrode groups A and B are made to carry out electrostatic adsorption of the silicon wafer 20. Wafer 20 rear-face pressures are 10Torr(s). Impress RF bias voltage to the electrostatic chucks 12-18, wafer 20 front face is made to generate plasma, and plasma treatment is performed.

[0016] Next, secession of a wafer 20 is started. After making voltage of the electrode group A of the electrostatic chucks 16 and 18, and the electrode group B of the electrostatic chucks 12 and 14 into 0 volt (inside a of drawing), the negative voltage of A-1.5kV of electrode groups is impressed (inside b of drawing). The right voltage of B+1.5kV of electrode groups is impressed after the 10 seconds (inside c of drawing). When right voltage was impressed to the electrode group B in [C] drawing, the wafer 20 seceded from the electrostatic chucks 12-18 completely after about 20 seconds in from.

[0017] Drawing 3 and drawing 4 are drawings having shown change of the charge state of the wafer 20 on the electrostatic chuck 12-18 of 2 pole type static adsorber. The secession method of the wafer shown in drawing 2 using drawing 3 and drawing 4 is explained more to a detail. The electrostatic chucks 12-18 are made to carry out electrostatic adsorption of the wafer 20 by electrostatic chucks [of the electrode group A to which it connected with DC power supply 34 (not shown in this view), and right voltage was impressed] 16 and 18, electrostatic chuck [of the electrode group B to which negative voltage was impressed] 12, and 14 top. The adsorption powers F1 and F2 of the wafer 20 at this time are equal sizes (drawing 3 (a)).

[0018] Next, self-bias is impressed to the electrode groups A and B, and the wafer upper part is made to generate RF plasma by the RF power supply 10. Since a wafer 20 is charged in negative as a whole by the electron in the plasma generated by impression of self-bias, the electrostatic chuck 12 of the electrode group B to which negative voltage was impressed, and the adsorption power F2 of the wafer by the side of 14 are small (drawing 3 (b)).

[0019] Next, it moves to secession of a wafer 20 (drawing 4 (a), (b)). Voltage which was being first impressed to the electrode groups A and B is set to 0. Next, negative voltage is impressed to the electrostatic chucks 16 and 18 of the electrode group A which was impressing right voltage at the time of processing of a wafer 20. Since the wafer 20 is charged in negative, the electrostatic chucks 16 and 18 produce repulsive force F3 to a wafer 20. However, to electrostatic chuck [of the electrode group B] 12, and 14 side, the still weak adsorption power F2 is working (drawing 4 (a)).

[0020] Next, while negative voltage had been made to impress to the electrostatic chucks 16 and 18 of the electrode group A If right voltage is made to impress to the electrostatic chucks 12 and 14 of the electrode group B, repulsive force F4 will also produce the electrode group B side to a wafer 20 by the positive charge which remained to the wafer 20. As a whole, between the electrostatic chucks 12-18 and a wafer 20, repulsive force arises and a wafer 20 secedes from the electrostatic chucks 12-18 (drawing 4 (b)).

[0021] Thus, especially while a wafer processes, it can be made to secede from a wafer effectively by using the wafer secession method by this example in the processing accompanied by plasma generating which is charged in negative. This is because the residual charge of the wafer charged in negative by plasma irradiation can be completely negated now, and can make a wafer secede from an electrostatic chuck promptly by making it impress right voltage to the electrode which impressed the negative voltage which is reverse voltage to the electrode which was impressing right voltage first at the time of wafer adsorption, and was impressing negative

voltage after that at the time of wafer adsorption now.

[0022] The wafer secession method by the 2nd example of this invention is explained using drawing 5. Since the semiconductor fabrication machines and equipment used for this example are the same as that of what was used for the 1st example shown in drawing 1, explanation is omitted. Moreover, since it is the same as that of the 1st example to make secession of a wafer 20 start after making a silicon wafer 20 stick to the electrostatic adsorber 2 using the semiconductor fabrication machines and equipment 2 shown in drawing 1 and exposing to plasma, explanation is omitted.

[0023] The wafer secession method by this example is explained based on the timing diagram of the voltage shown in drawing 5. The right voltage of A+1kV of electrode groups of the electrostatic chucks 16 and 18 is impressed, the negative voltage of B-1kV of electrode groups of the electrostatic chucks 12 and 14 is impressed, and the electrode groups A and B are made to carry out electrostatic adsorption of the silicon wafer 20. Wafer 20 rear-face pressures are 10Torr(s). Impress RF bias voltage to the electrostatic chucks 12-18, wafer 20 front face is made to generate plasma, and plasma treatment is performed.

[0024] Next, secession of a wafer 20 is started. After making voltage of the electrode group A of the electrostatic chucks 16 and 18, and the electrode group B of the electrostatic chucks 12 and 14 into 0 volt (inside a of drawing), the negative voltage of A-1.5kV of electrode groups is impressed (inside b of drawing). Voltage of the electrode group A is made into 0 volt after the 15 seconds (inside c of drawing). The right voltage of B+1.5kV of electrode groups is impressed (inside d of drawing). If right voltage is impressed to the electrode group B, a wafer 20 will secede from the electrostatic chucks 12-18 completely promptly.

[0025] Thus, while a wafer processes, it can be made to secede from a wafer effectively like the 1st example also in the wafer secession method by this example in the processing accompanied by plasma generating which is charged in negative. The wafer secession method by the 3rd example of this invention is explained using drawing 6. Since it is the same as that of what was used for the 1st example which also shows the semiconductor fabrication machines and equipment used for this example to drawing 1, explanation is omitted. Moreover, since it is the same as that of the 1st example to make secession of a wafer 20 start after making a silicon wafer 20 stick to the electrostatic adsorber 2 using the semiconductor fabrication machines and equipment 2 shown in drawing 1 and exposing to plasma, explanation is omitted.

[0026] The wafer secession method by this example is explained based on the timing diagram of the voltage shown in drawing 6. The right voltage of A+1kV of electrode groups of the electrostatic chucks 16 and 18 is impressed, the negative voltage of B-1kV of electrode groups of the electrostatic chucks 12 and 14 is impressed, and the electrode groups A and B are made to carry out electrostatic adsorption of the silicon wafer 20. Wafer 20 rear-face pressures are 10Torr(s). Impress RF bias voltage to the electrostatic chucks 12-18, wafer 20 front face is made to generate plasma, and plasma treatment is performed.

[0027] Next, secession of a wafer 20 is started. After making voltage of the electrode group A of the electrostatic chucks 16 and 18, and the electrode group B of the electrostatic chucks 12 and 14 into 0 volt (inside a of drawing), the negative voltage of A-1.5kV of electrode groups is impressed (inside b of drawing). The right voltage of B+1.5kV of electrode groups is impressed after the 5 seconds (inside d of drawing). Voltage of the electrode group A is made into 0 volt after [of a further] 5 seconds (inside c of drawing). Then, if voltage of the electrode group B is also made into 0 volt (inside e of drawing), a wafer 20 will secede from the electrostatic chucks 12-18 completely promptly.

[0028] While a wafer processes, it can be made to secede from a wafer effectively like the 1st example also in the wafer secession method by this example in the processing accompanied by plasma generating which is charged in negative. The wafer secession method by the 4th example of this invention is explained using drawing 7. Since it is the same as that of what was used for the 1st example which also shows the semiconductor fabrication machines and equipment used for this example to drawing 1, explanation is omitted. Moreover, since it is the same as that of the 1st example to make secession of a wafer 20 start after making a silicon wafer 20 stick to the electrostatic adsorber 2 using the semiconductor fabrication machines and equipment 2 shown in drawing 1 and exposing to plasma, explanation is omitted.

[0029] The wafer secession method by this example is explained based on the timing diagram of the voltage shown in drawing 7. The right voltage of A+1kV of electrode groups of the electrostatic chucks 16 and 18 is impressed, the negative voltage of B-1kV of electrode groups of the electrostatic chucks 12 and 14 is impressed, and the electrode groups A and B are made to carry out electrostatic adsorption of the silicon wafer 20. Wafer 20 rear-face pressures are 10Torr(s). Impress RF bias voltage to the electrostatic chucks 12-18, wafer 20 front

face is made to generate plasma, and plasma treatment is performed.

[0030] Next, secession of a wafer 20 is started. After making voltage of the electrode group A of the electrostatic chucks 16 and 18, and the electrode group B of the electrostatic chucks 12 and 14 into 0v (inside a of drawing), and impressing the negative voltage of A-1.5kV of electrode groups for 5 seconds (b-c in drawing), voltage of the electrode group A is made into 0v (inside c of drawing). After impressing the right voltage of B+1.5kV of electrode groups for 5 seconds after the 3 seconds (d-e in drawing), if voltage of the electrode group B is also made into 0v (inside e of drawing), a wafer 20 will secede from the electrostatic chucks 12-18 completely promptly.

[0031] While a wafer processes, it can be made to secede from a wafer effectively like the 1st example also in the wafer secession method by this example in the processing accompanied by plasma generating which is charged in negative. Not only the above-mentioned example but various deformation is possible for this invention. For example, although impression of the voltage of an electrostatic chuck is devised and it enabled it to perform wafer secession promptly, you may make it make it secede from a wafer more promptly in the above-mentioned example by making a high pressure gas blow off to a wafer side, or applying the mechanical force to it using an ejection pin etc. still more auxiliary.

[0032] Moreover, although this invention was applied about the case where the wafer was exposed to plasma and charged in negative, even when a wafer is just charged, of course, it is possible in the above-mentioned example, to apply this invention.

[0033]

[Effect of the Invention] According to this invention the above passage, in case a wafer is made to secede from an electrostatic chuck after plasma treatment in a semiconductor manufacturing process, it can be made to be able to break away promptly, without doing damage to a wafer, and can contribute also to improvement in the throughput of a semiconductor manufacturing process.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the wafer secession method of seceding from the wafer by which electrostatic adsorption was carried out to the above 1st and the 2nd electrode by having impressed right voltage to the 1st electrode and having impressed negative voltage to the 2nd electrode The wafer secession method characterized by impressing right voltage to the 2nd electrode of the above after impressing negative voltage to the 1st electrode of the above, and making the aforementioned wafer secede from the above 1st and the 2nd electrode.

[Claim 2] The wafer secession method which makes 0v voltage of the 1st electrode of the account of back to front which impressed negative voltage to the 1st electrode of the above in the wafer secession method according to claim 1, and is characterized by impressing right voltage to the 2nd electrode of the above, and making the aforementioned wafer secede from the above 1st and the 2nd electrode.

[Claim 3] In the wafer secession method according to claim 1, after impressing negative voltage to the 1st electrode of the above, right voltage is impressed to the 2nd electrode of the above. The wafer secession method characterized by setting voltage of the 2nd electrode of the above to 0V, and making the aforementioned wafer secede from the above 1st and the 2nd electrode simultaneous in the voltage of the above 1st and the 2nd electrode after setting voltage of the 1st electrode of the above to 0V.

[Claim 4] The wafer secession method characterized by making into 0v voltage of the 1st electrode of the account of back to front which impressed negative voltage to the 1st electrode of the above in the wafer secession method according to claim 1, making into 0v voltage of the 2nd electrode of the account of back to front which impressed right voltage to the 2nd electrode of the above, and making the aforementioned wafer secede from the above 1st and the 2nd electrode.

[Translation done.]

* NOTICES *

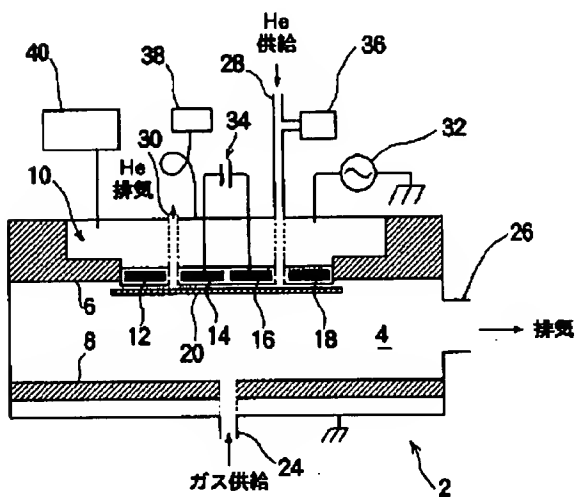
Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

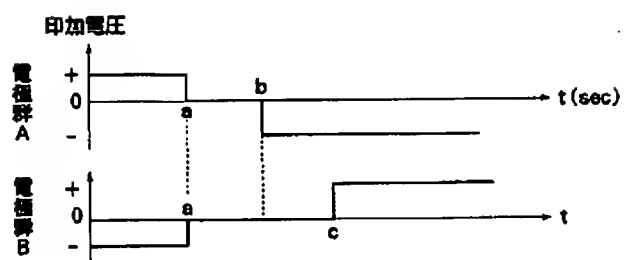
本発明の実施例に用いた半導体製造装置を示す図



- 2…半導体製造装置
- 4…処理室
- 6、8…絶縁物
- 10…RF電極
- 12、14…静電チャック
- 16、18…静電チャック
- 20…ウェハ
- 24…ガス供給口
- 26…排気口
- 28…He供給口
- 30…He排気口
- 32…RF電源
- 34…DC電源
- 36…圧力計
- 38…蛍光ファイバ温度計
- 40…恒温槽

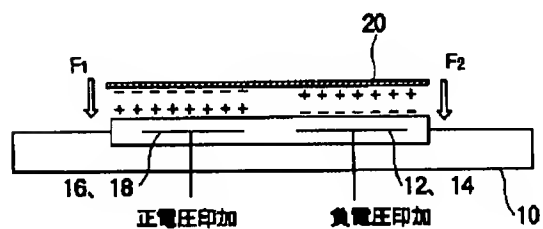
[Drawing 2]

本発明の第1の実施例によるウェーハ離脱方法を示す図

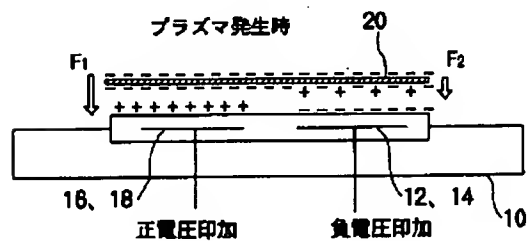


[Drawing 3]

本実施例のウェーハ離脱方法によるウェーハ電荷状態の変化を示す図



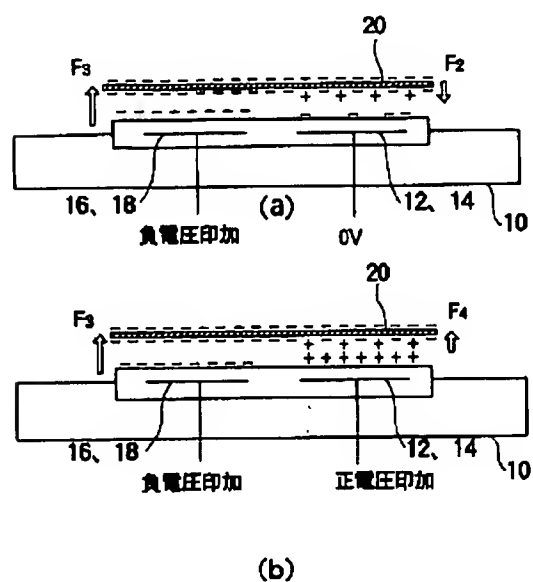
(a)



(b)

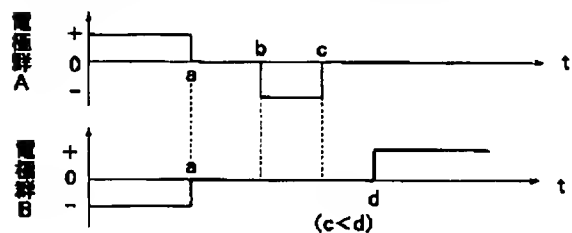
[Drawing 4]

本実施例のウェーハ離脱方法によるウェーハ電荷状態の変化を示す図



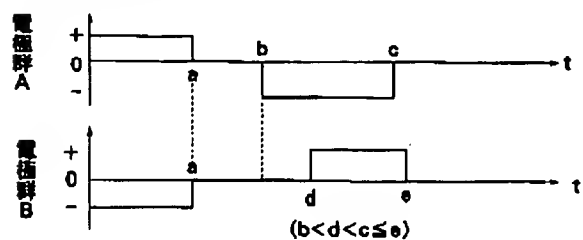
[Drawing 5]

本発明の第2の実施例によるウェーハ離脱方法を示す図



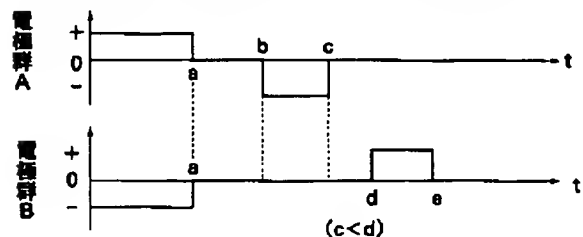
[Drawing 6]

本発明の第3の実施例によるウェーハ離脱方法を示す図



[Drawing 7]

本発明の第4の実施例によるウェーハ離脱方法を示す図



[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085045

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01L 21/68
B23Q 3/15

(21)Application number : 04-231664

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 31.08.1992

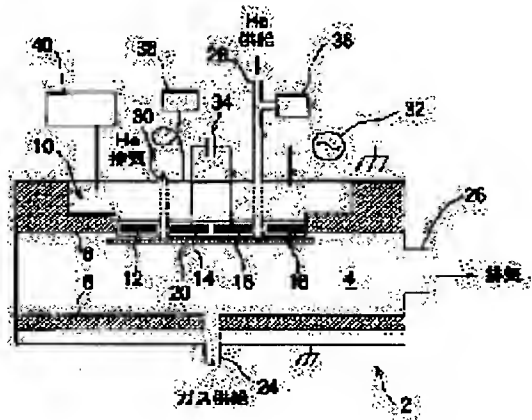
(72)Inventor : MIHARA SATOSHI
KOMADA DAISUKE
HASEGAWA AKIHIRO

(54) SEPARATION OF WAFER

(57)Abstract:

PURPOSE: To promptly separate a wafer from an electrode without damaging the wafer by applying the electrode with a positive voltage at wafer adsorption, then with a negative voltage, and then with a positive voltage, for canceling remaining electric charge.

CONSTITUTION: Electrodes A16 and 18 of an electrostatic chuck are applied with a positive voltage of +1kV, and electrodes B12 and 14 with a negative voltage of -1kV, so that all of them electrostatically adsorb a silicon wafer 20. The electrostatic chuck having adsorbed the wafer 20 is applied with an RF bias voltage, so that plasma is generated on the surface of the wafer 20, for plasma process. Then, the voltage of electrodes A16 and 18 and electrodes B12 and 14 of the electrostatic chuck is changed to 0V, and then the electrodes A16 and 18 are applied with a negative voltage of -1.5kV. Further, in a few seconds, the electrodes B12 and 14 are applied with a positive voltage of +1.5kV. By this, the wafer 20 is separated from the electrodes without damaging the wafer 20.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C): 1998,2000 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 8 5 0 4 5

(43) 公開日 平成6年(1994)3月25日

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/68

R 8418-4 M

B 2 3 Q 3/15

D 8612-3 C

審査請求 未請求 請求項の数 4

(全 7 頁)

(21) 出願番号 特願平4-231664

(22) 出願日 平成4年(1992)8月31日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 三原 智

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 駒田 大輔

愛知県春日井市高蔵寺町2丁目1844番2 富

士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 北野 好人

最終頁に続く

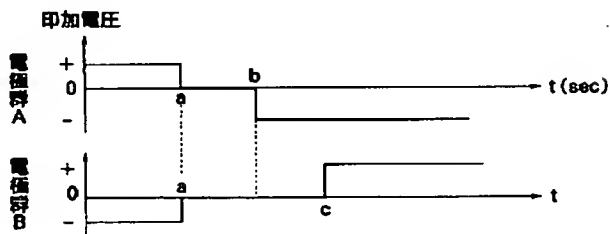
(54) 【発明の名称】 ウェーハ離脱方法

(57) 【要約】

【目的】 本発明は、半導体製造装置の静電吸着装置に静電吸着されたウェーハを静電吸着装置から離脱させるウェーハ離脱方法に関し、ウェーハを破損させることなく、半導体製造装置から速やかに離脱させることができるウェーハ離脱方法を提供することを目的とする。

【構成】 静電チャックの電極群Aに+1 kVの正電圧を印加し、電極群Bに-1 kVの負電圧を印加して電極群A、Bにシリコンウェーハを静電吸着させる。ウェーハを吸着した静電チャックにRFバイアス電圧を印加してウェーハ表面にプラズマを発生させてプラズマ処理を行う。次にウェーハの離脱を開始する。静電チャックの電極群A、電極群Bの電圧を0ボルトにしてから(図中a)、電極群Aに-1.5 kVの負電圧を印加する(図中b)。その10秒後に電極群Bに+1.5 kVの正電圧を印加する(図中c)ように構成する。

本発明の第1の実施例によるウェーハ離脱方法を示す図



【特許請求の範囲】

【請求項1】 第1の電極に正電圧が印加され、第2の電極に負電圧が印加されたことにより前記第1及び第2の電極に静電吸着されたウェーハを離脱するウェーハ離脱方法において、

前記第1の電極に負電圧を印加してから前記第2の電極に正電圧を印加して、前記ウェーハを前記第1及び第2の電極から離脱させることを特徴とするウェーハ離脱方法。

【請求項2】 請求項1記載のウェーハ離脱方法において、

前記第1の電極に負電圧を印加した後前記第1の電極の電圧を0ボルトにし、

前記第2の電極に正電圧を印加して、前記ウェーハを前記第1及び第2の電極から離脱させることを特徴とするウェーハ離脱方法。

【請求項3】 請求項1記載のウェーハ離脱方法において、

前記第1の電極に負電圧を印加してから前記第2の電極に正電圧を印加し、前記第1及び第2の電極の電圧を同時に、又は前記第1の電極の電圧を0Vにした後に前記第2の電極の電圧を0Vにして前記ウェーハを前記第1及び第2の電極から離脱させることを特徴とするウェーハ離脱方法。

【請求項4】 請求項1記載のウェーハ離脱方法において、

前記第1の電極に負電圧を印加した後前記第1の電極の電圧を0ボルトにし、

前記第2の電極に正電圧を印加した後前記第2の電極の電圧を0ボルトにして前記ウェーハを前記第1及び第2の電極から離脱させることを特徴とするウェーハ離脱方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体製造装置の静電吸着装置に静電吸着されたウェーハを静電吸着装置から離脱させるウェーハ離脱方法に関する。

【0002】

【従来の技術】近年の半導体製造工程におけるウェーハ処理には静電吸着力を利用したウェーハ吸着方法が用いられている。例えばRIE等のプラズマ処理をウェーハ表面に施す場合に、静電吸着力を利用してウェーハを吸着させる装置の一つである2極式静電吸着装置が用いられる。

【0003】2極式静電吸着装置は、通常複数の電極からなる電極群Aと電極群Bとを有する静電チャックの電極群Aには例えば正電圧を印加し、他方の電極群Bには負電圧を印加して電極群A、B（静電チャック）にウェーハを静電吸着させるものである。しかし、この2極式静電吸着装置にウェーハを吸着させてプラズマ処理を行

うとプラズマ処理中にウェーハに電荷が蓄積されてしまい、プラズマ処理後に電源を切って電極群A、Bに印加する電圧を0にしてもウェーハに残留電荷が存在するため、ウェーハを2極式静電吸着装置から速やかに離脱させることができないという問題を有している。

【0004】2極式静電吸着装置は、ウェーハに特別な電極を接続する必要がない等の利点を有していることから、プラズマ処理を行う半導体製造装置に用いる静電吸着装置の主流となっており、従来からウェーハを速やかに離脱させるための種々の提案が成されている。この2極式静電吸着装置に吸着したウェーハを離脱させる方法として従来から以下のようなものがある。

(1) 静電吸着装置にイジェクトピン（棒状の突起物）を設け、ウェーハ離脱の際にこのイジェクトピンを吸着面に突出させてウェーハ裏面を押し、機械的にウェーハを離脱させるウェーハ離脱方法（特開平02-159744号公報）。

(2) 静電吸着装置の吸着面のウェーハ裏面に例えば高圧ガスを噴出させてウェーハを加圧し、強制的に離脱させるウェーハ離脱方法（特開平02-245256号公報）。

(3) 静電吸着装置の電極群A及びBに吸着時と正負を逆にした電圧を印加させてウェーハ上の残留電荷を消滅させ、ウェーハを離脱させるウェーハ離脱方法（特開昭59-067629号公報）。

(4) 静電チャックに交番電圧を印加して残留電荷を減少させ、ウェーハを離脱するウェーハ離脱方法（特開平01-112745号公報）等が用いられていた。

【0005】

【発明が解決しようとする課題】しかし、上記従来のいずれのウェーハ離脱方法を用いてもウェーハを破損させずに、そして速やかに離脱させることは困難であるという問題を生じている。上記(1)のイジェクトピンを用いたウェーハを機械的に離脱させる方法では、ウェーハに破損を生じてしまうことがあり、(2)のウェーハ裏面に高圧ガスを噴出させて強制的に離脱させる方法でも、ウェーハに破損が生じてしまったり、また残留吸着力が強すぎてガス圧ではウェーハが剥がれなかったりすることがあった。

【0006】また、(3)、(4)のウェーハ吸着時と逆電圧を印加して残留電荷を打ち消しウェーハを離脱させる方法や、静電チャックに交番電圧を印加して残留電荷を減少させていく方法では、速やかにウェーハを離脱させることができずに時間がかかってしまう。例えば、プラズマ照射後、静電チャックに印加していた電圧を逆にして逆電圧を印加しても、ウェーハが離脱するの5～10分程度の時間がかかってしまう。さらにこれらの方法では予期した効果が全く生じなくてウェーハ離脱がうまく行えないことがあり、また印加する逆電圧が強すぎて吸着力がむしろ増加してしまうような問題が生

じていた。

【0007】本発明の目的は、ウェーハを破損させることなく、半導体製造装置から速やかに離脱させることができるウェーハ離脱方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、第1の電極に正電圧が印加され、第2の電極に負電圧が印加されたことにより前記第1及び第2の電極に静電吸着されたウェーハを離脱するウェーハ離脱方法において、前記第1の電極に負電圧を印加してから前記第2の電極に正電圧を印加して、前記ウェーハを前記第1及び第2の電極から離脱させることを特徴とするウェーハ離脱方法によって達成される。

【0009】

【作用】本発明によれば、プラズマ処理を施したウェーハは負に帯電するから、ウェーハ吸着時に正電圧を印加していた電極に負電圧を印加してウェーハと電極間に斥力を働かせるようにし、その後さらにウェーハ吸着時に負電圧を印加していた電極に正電圧を印加して残留電荷を打ち消すようにしたので、ウェーハは速やかに静電吸着装置から離脱することができるようになる。

【0010】

【実施例】本発明の第1の実施例によるウェーハ離脱方法を図1乃至図4を用いて説明する。まず、本実施例に用いた半導体製造装置を図1を用いて説明する。本実施例に用いた半導体製造装置は、プラズマ処理装置の一つであるRIE装置である。

【0011】半導体製造装置2は、同一の電圧が印加される電極群Aの静電チャック16、18と、電極群Aとは別の電圧が印加される電極群Bの静電チャック12、14によりウェーハ20を静電吸着する2極式静電吸着装置を備え、ウェーハにプラズマ処理を施す装置である。静電チャック12～18のウェーハ吸着保持面は、処理室4内に向けられている。処理室4には例えばArプラズマを発生させるためのArガスを供給するガス供給口24が設けられている。静電チャック12～18の電極群A及びBはDC電源34に接続され、DC電源34の極性を切替えることにより正又は負電圧が印加され、或いは0ボルトとなることができるようになっている。DC電源34から所定の電圧を静電チャック12～18に印加することにより、ウェーハ20を吸着させることができるようになっている。

【0012】静電チャック12～18上部はRF電極10である。静電チャック12～18に吸着保持されたウェーハ20表面をプラズマ処理するため、処理室4内を排気口26により排気してから処理室4内にArを導入し、RF電極10に13.56MHzの高周波電力をRF電源32から印加して、処理室4内にArプラズマを発生させて所定のウェーハ処理を行う。このRF電極10は冷却可能であり、恒温槽40により温度制御が行わ

れるようになっている。RF電極10と処理室4とは絶縁物6、8で絶縁されている。絶縁物6、8の抵抗率は、 $10^9 \sim 10^{14} \Omega \cdot \text{cm}$ であればよい。

【0013】また、ウェーハ20と静電チャック12～18の間には、ウェーハ20を冷却するための冷却ガスとして用いるHeガスのHe供給口28が設けられ、また、冷却用に導入されたHeガスを排気するためのHe排気口30が設けられている。He供給口28には、圧力計36が取付けられ、ウェーハ20と静電チャック12～18間の圧力が計測できるようになっている。また、RF電極10には蛍光ファイバ温度計38が取付けられ、ウェーハ20の温度を計測することができるようになっている。

【0014】以上説明した半導体製造装置2を用いて、シリコンウェーハ20を静電吸着装置2に吸着させてプラズマにさらした。ウェーハ20と静電チャック（電極）12～18の間には、冷却ガスとしてHeが導入され電極との冷却をよくしている。ウェーハ20離脱時における残留電荷の減少度合やウェーハ離脱状態を知るためにウェーハ20裏面の圧力を圧力計36にて計測する。ウェーハ20裏面圧力はプラズマ照射時には10 Torr程度の一定圧力に保持されている。プラズマ処理後ウェーハ20を静電チャック12～18から離脱させる際には、残留電荷が弱くなるに従ってウェーハ20裏面圧力が低くなり、また、ウェーハ20が静電チャックから離脱してしまうとさらに圧力は低くなる。ウェーハ20と静電チャック12～18間の吸着力が減少してウェーハ20が少しずつ静電チャック12～18から剥がれていくためである。ウェーハ20が静電チャック12～18から完全に離脱するとウェーハ20裏面圧力は処理室4内圧力と等しくなる。

【0015】上記のような方法で、図2に示すような電圧のタイムチャートに従って静電チャック16、18の電極群A及び静電チャック12、14の電極群Bに電圧を印加してウェーハ20の離脱を行った。すなわち、静電チャック16、18の電極群Aに+1kVの正電圧を印加し、静電チャック12、14の電極群Bに-1kVの負電圧を印加して電極群A、Bにシリコンウェーハ20を静電吸着させる。ウェーハ20裏面圧力は10 Torrである。静電チャック12～18にRFバイアス電圧を印加してウェーハ20表面にプラズマを発生させてプラズマ処理を行う。

【0016】次にウェーハ20の離脱を開始する。静電チャック16、18の電極群A、及び静電チャック12、14の電極群Bの電圧を0ボルトにしてから（図中a）、電極群Aに-1.5kVの負電圧を印加する（図中b）。その10秒後に電極群Bに+1.5kVの正電圧を印加する（図中c）。図中Cの電極群Bに正電圧を印加したときから約20秒後にウェーハ20は静電チャック12～18から完全に離脱した。

【0017】図3及び図4は2極式静電吸着装置の静電チャック12～18上のウェーハ20の電荷状態の変化を示した図である。図3及び図4を用いて図2に示したウェーハの離脱方法をより詳細に説明する。DC電源34（本図では図示せず）に接続され正電圧が印加された電極群Aの静電チャック16、18と負電圧が印加された電極群Bの静電チャック12、14上により、ウェーハ20を静電チャック12～18に静電吸着させる。このときのウェーハ20の吸着力F1とF2とは等しい大きさである（図3（a））。

【0018】次に、RF電源10により、電極群A、Bにセルフバイアスを印加し、ウェーハ上部にRFプラズマを発生させる。セルフバイアスの印加により発生したプラズマ中の電子によりウェーハ20は全体として負に帯電するので、負電圧の印加された電極群Bの静電チャック12、14側のウェーハの吸着力F2は小さくなっている（図3（b））。

【0019】次に、ウェーハ20の離脱に移る（図4（a）、（b））。まず電極群A、Bに印加していた電圧を0にする。次に、ウェーハ20の処理時に正電圧を印加していた電極群Aの静電チャック16、18に対し、負電圧を印加する。ウェーハ20は負に帯電しているので静電チャック16、18はウェーハ20に対して斥力F3を生じさせる。しかし、電極群Bの静電チャック12、14側にはまだ弱い吸着力F2が働いている（図4（a））。

【0020】次に、電極群Aの静電チャック16、18に負電圧を印加させたままで、電極群Bの静電チャック12、14に正電圧を印加させると、ウェーハ20に残留していた正電荷により電極群B側もウェーハ20に対して斥力F4が生じ、全体として静電チャック12～18とウェーハ20間に斥力が生じてウェーハ20が静電チャック12～18から離脱する（図4（b））。

【0021】このように本実施例によるウェーハ離脱方法を用いることにより、特にウェーハが処理中に負に帯電するようなプラズマ発生を伴う処理において有効にウェーハを離脱させることができるようになる。これは、まずウェーハ吸着時に正電圧を印加していた電極に逆電圧である負電圧を印加し、その後にウェーハ吸着時に負電圧を印加していた電極に正電圧を印加することにより、プラズマ照射により負に帯電したウェーハの残留電荷を完全に打ち消すことができるようになるからであり、ウェーハを速やかに静電チャックから離脱させることができるようになる。

【0022】本発明の第2の実施例によるウェーハ離脱方法を図5を用いて説明する。本実施例に用いた半導体製造装置は図1に示す第1の実施例に用いたものと同一であるので説明を省略する。また、図1に示した半導体製造装置2を用いてシリコンウェーハ20を静電吸着装置2に吸着させてプラズマにさらした後、ウェーハ20

の離脱を開始させることも第1の実施例と同様であるので説明を省略する。

【0023】本実施例によるウェーハ離脱方法を図5に示す電圧のタイムチャートに基づいて説明する。静電チャック16、18の電極群Aに+1kVの正電圧を印加し、静電チャック12、14の電極群Bに-1kVの負電圧を印加して電極群A、Bにシリコンウェーハ20を静電吸着させる。ウェーハ20裏面圧力は10 Torrである。静電チャック12～18にRFバイアス電圧を印加してウェーハ20表面にプラズマを発生させてプラズマ処理を行う。

【0024】次にウェーハ20の離脱を開始する。静電チャック16、18の電極群A、及び静電チャック12、14の電極群Bの電圧を0ボルトにしてから（図中a）、電極群Aに-1.5kVの負電圧を印加する（図中b）。その15秒後に電極群Aの電圧を0ボルトにする（図中c）。電極群Bに+1.5kVの正電圧を印加する（図中d）。電極群Bに正電圧を印加すると速やかにウェーハ20は静電チャック12～18から完全に離脱する。

【0025】このように本実施例によるウェーハ離脱方法においても、第1の実施例と同様に、ウェーハが処理中に負に帯電するようなプラズマ発生を伴う処理において有効にウェーハを離脱させることができるようになる。本発明の第3の実施例によるウェーハ離脱方法を図6を用いて説明する。本実施例に用いた半導体製造装置も図1に示す第1の実施例に用いたものと同一であるので説明を省略する。また、図1に示した半導体製造装置2を用いてシリコンウェーハ20を静電吸着装置2に吸着させてプラズマにさらした後、ウェーハ20の離脱を開始させることも第1の実施例と同様であるので説明を省略する。

【0026】本実施例によるウェーハ離脱方法を図6に示す電圧のタイムチャートに基づいて説明する。静電チャック16、18の電極群Aに+1kVの正電圧を印加し、静電チャック12、14の電極群Bに-1kVの負電圧を印加して電極群A、Bにシリコンウェーハ20を静電吸着させる。ウェーハ20裏面圧力は10 Torrである。静電チャック12～18にRFバイアス電圧を印加してウェーハ20表面にプラズマを発生させてプラズマ処理を行う。

【0027】次にウェーハ20の離脱を開始する。静電チャック16、18の電極群A、及び静電チャック12、14の電極群Bの電圧を0ボルトにしてから（図中a）、電極群Aに-1.5kVの負電圧を印加する（図中b）。その5秒後に電極群Bに+1.5kVの正電圧を印加する（図中d）。さらに5秒後に電極群Aの電圧を0ボルトにする（図中c）。続いて電極群Bの電圧も0ボルトにすると（図中e）、ウェーハ20は速やかに静電チャック12～18から完全に離脱する。

【0028】本実施例によるウェーハ離脱方法においても、第1の実施例と同様に、ウェーハが処理中に負に帯電するようなプラズマ発生を伴う処理において有効にウェーハを離脱させることができるようになる。本発明の第4の実施例によるウェーハ離脱方法を図7を用いて説明する。本実施例に用いた半導体製造装置も図1に示す第1の実施例に用いたものと同一であるので説明を省略する。また、図1に示した半導体製造装置2を用いてシリコンウェーハ20を静電吸着装置2に吸着させてプラズマにさらした後、ウェーハ20の離脱を開始させることも第1の実施例と同様であるので説明を省略する。

【0029】本実施例によるウェーハ離脱方法を図7に示す電圧のタイムチャートに基づいて説明する。静電チャック16、18の電極群Aに+1kVの正電圧を印加し、静電チャック12、14の電極群Bに-1kVの負電圧を印加して電極群A、Bにシリコンウェーハ20を静電吸着させる。ウェーハ20裏面圧力は10 Torrである。静電チャック12～18にRFバイアス電圧を印加してウェーハ20表面にプラズマを発生させてプラズマ処理を行う。

【0030】次にウェーハ20の離脱を開始する。静電チャック16、18の電極群A、及び静電チャック12、14の電極群Bの電圧を0ボルトにした後（図中a）、電極群Aに-1.5kVの負電圧を5秒間印加してから（図中b-c）、電極群Aの電圧を0ボルトにする（図中c）。その3秒後に電極群Bに+1.5kVの正電圧を5秒間印加してから（図中d-e）、電極群Bの電圧も0ボルトにすると（図中e）、ウェーハ20は速やかに静電チャック12～18から完全に離脱する。

【0031】本実施例によるウェーハ離脱方法においても、第1の実施例と同様に、ウェーハが処理中に負に帯電するようなプラズマ発生を伴う処理において有効にウェーハを離脱させることができるようになる。本発明は、上記実施例に限らず種々の変形が可能である。例えば、上記実施例においては、静電チャックの電圧の印加を工夫してウェーハ離脱を速やかに行えるようにしたが、さらに補助的にウェーハ裏面に高圧ガスを噴出させたり、イジェクトピン等を用いて機械的な力を加えることにより、より速やかにウェーハを離脱させるようにしてもよい。

【0032】また、上記実施例においては、ウェーハが

プラズマにさらされて負に帯電した場合について本発明を適用したが、ウェーハが正に帯電したような場合でも本発明を適用することはもちろん可能である。

【0033】

【発明の効果】以上の通り、本発明によれば、半導体製造工程においてプラズマ処理後に静電チャックからウェーハを離脱させる際、ウェーハに損傷を与えることなく速やかに離脱させることができ、また、半導体製造工程のスループットの向上にも寄与することができる。

10 【図面の簡単な説明】

【図1】本発明の実施例に用いた半導体製造装置を示す図である。

【図2】本発明の第1の実施例によるウェーハ離脱方法を示す図である。

【図3】本実施例のウェーハ離脱方法によるウェーハ電荷状態の変化を示す図である。

【図4】本実施例のウェーハ離脱方法によるウェーハ電荷状態の変化を示す図である。

20 【図5】本発明の第2の実施例によるウェーハ離脱方法を示す図である。

【図6】本発明の第3の実施例によるウェーハ離脱方法を示す図である。

【図7】本発明の第4の実施例によるウェーハ離脱方法を示す図である。

【符号の説明】

2…半導体製造装置

4…処理室

6、8…絶縁物

10…RF電極

12、14…静電チャック（電極群A）

16、18…静電チャック（電極群B）

20…ウェーハ

24…ガス供給口

26…排気口

28…He供給口

30…He排気口

32…RF電源

34…DC電源

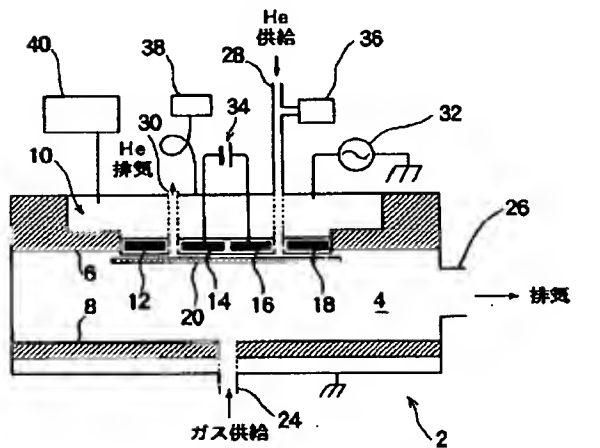
36…圧力計

40 38…蛍光光ファイバ温度計

40…恒温槽

【図1】

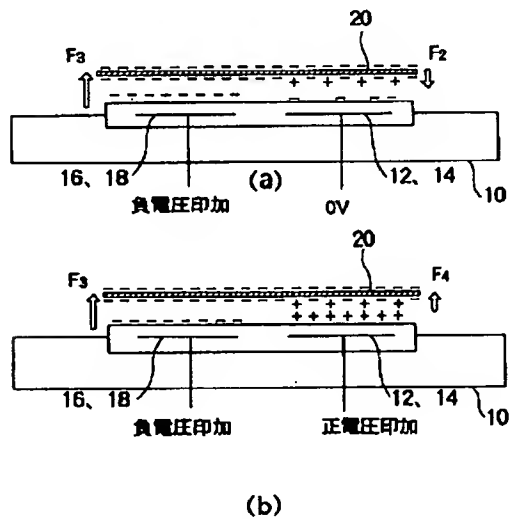
本発明の実施例に用いた半導体製造装置を示す図



- 2…半導体製造装置
 4…処理室
 6、8…絶縁物
 10…RF電極
 12、14…静電チャック
 16、18…静電チャック
 20…ウェーハ
 24…ガス供給口
 26…排気口
 28…He供給口
 30…He排気口
 32…RF電源
 34…DC電源
 36…圧力計
 38…蛍光光ファイバ温度計
 40…恒温槽

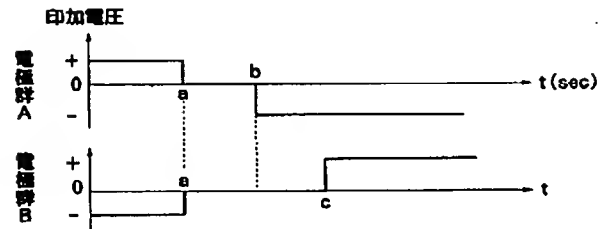
【図4】

本実施例のウェーハ離脱方法によるウェーハ電荷状態の変化を示す図



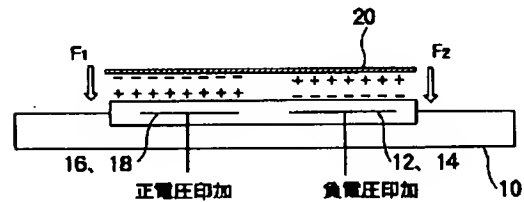
【図2】

本発明の第1の実施例によるウェーハ離脱方法を示す図

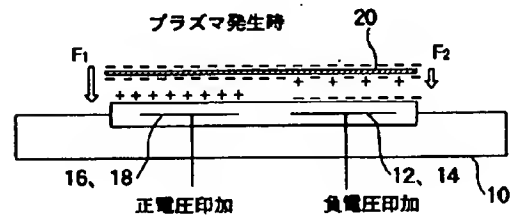


【図3】

本実施例のウェーハ離脱方法によるウェーハ電荷状態の変化を示す図



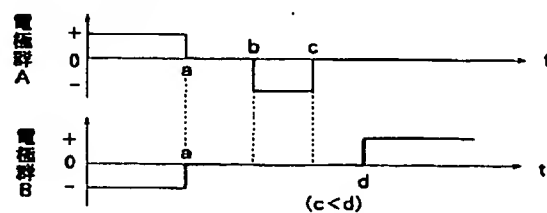
(a)



(b)

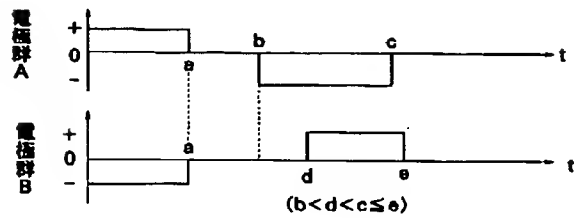
【図5】

本発明の第2の実施例によるウェーハ離脱方法を示す図



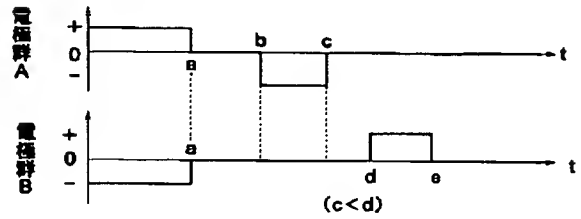
【図6】

本発明の第3の実施例によるウェーハ離脱方法を示す図



【図7】

本発明の第4の実施例によるウェーハ離脱方法を示す図



フロントページの続き

(72)発明者 長谷川 明広
 神奈川県川崎市中原区上小田中1015番地
 富士通株式会社内